

WHAT IS CLAIMED IS:

1. 平均化処理回路 comprising :

入力画像データ信号の入力を受けるメモリコントロール部 ;

少なくとも上記入力画像データ信号の平均化処理を開始する主走査及び副走査座標の設定を受けるレジスタ設定部 ;

上記レジスタ設定部にて設定された主走査及び副走査座標より上記入力画像データ信号の平均化処理を開始し、平均化処理された画像データ信号を出力する平均化処理制御部 ;

上記平均化処理制御部からの平均化された画像データ信号の入力を受け、出力画像データ信号として出力する出力制御部。

2. Claim 1 の平均化処理回路において、

上記レジスタ設定部は、入力画像データを平均化する単位である平均化ブロックのサイズに係る設定を受ける。

3. Claim 1 の平均化処理回路において、

上記レジスタ設定部は、入力画像データを平均化する平均化ブロックのスキュー値の設定を受ける。

4. Claim 1 の平均化処理回路において、

上記平均化処理制御部は、入力画像データ信号の少なくとも上端、下端、右端、左端においては、所定の出力画像領域外処理を行う。

5. Claim 1 の平均化処理回路において、

上記メモリコントロール部は、入力画像データ信号をライン遅延させて平均化処理制御部へと出力するよう制御する。

6. Claim 1 の平均化処理回路において、

上記平均化処理制御部は、平均化ブロックのサイズによらず共用される平均化マトリクス生成／演算回路を更に有する。

7. Claim の平均化処理回路において、

上記平均化処理制御部は、上記平均化ブロックのスキュー値によらず一定のタイミングで平均化処理を行うべく所定の遅延調整を行う。

8. 画像処理回路 comprising :

入力画像データ信号の入力を受けるメモリコントロール部；

上記入力画像データ信号を遅延処理した後に記憶する第1メモリ；

上記入力画像データ信号の平均化処理を開始する主走査及び副走査座標、平均化ブロックの主走査及び副走査サイズ、平均化ブロックの主走査及び副走査方向のスキュー値の少なくともいずれかを指示するCPU；

上記CPUにより指示された設定情報を保持するレジスタ設定部；

上記レジスタ設定部により保持された設定情報に基づいて、上記平均化ブロックのスキュー値によらず一定のタイミングで、上記入力画像データ信号の平均化処理を行い、平均化処理された画像データ信号を出力する平均化処理制御部；

上記平均化処理制御部からの平均化された画像データ信号の入力を受け、出力画像データ信号として保持する第2メモリ；

上記第2メモリの出力画像データを出力する出力制御部。

9. Claim8の画像処理回路において、

上記平均化処理制御部は、平均化ブロックのサイズによらず共用される平均化マトリクス生成／演算回路を更に有する。

10. 平均化処理回路 comprising：

入力画像データ信号の入力を受けるメモリコントロール手段；

少なくとも上記入力画像データ信号の平均化処理を開始する主走査及び副走査座標の設定を受けるレジスタ設定手段；

上記レジスタ設定手段にて設定された主走査及び副走査座標より上記入力画像データ信号の平均化処理を開始し、平均化処理された画像データ信号を出力する平均化処理制御手段；

上記平均化処理制御手段からの平均化された画像データ信号の入力を受け、出力画像データ信号として出力する出力制御手段。

11. 画像処理回路 comprising：

入力画像データ信号の入力を受けるメモリコントロール手段；

上記入力画像データ信号を遅延処理した後に記憶する第1記憶手段；

上記入力画像データ信号の平均化処理を開始する主走査及び副走査座標、平均化ブロックの主走査及び副走査サイズ、平均化ブロックの主走査及び副走査方向

のスケュー値の少なくともいずれかを指示する制御手段；

上記制御手段により指示された設定情報を保持するレジスタ設定手段；

上記レジスタ設定手段により保持された設定情報に基づいて、上記平均化ブロックのスケュー値によらず一定のタイミングで、上記入力画像データ信号の平均化処理を行い、平均化処理された画像データ信号を出力する平均化処理制御手段；

上記平均化処理制御手段からの平均化された画像データ信号の入力を受け、出力画像データ信号として保持する第2記憶手段；

上記第2記憶手段の出力画像データを出力する出力制御手段。

1 2. 平均化処理方法 comprising:

メモリコントロール部より入力画像データ信号の入力を受け、

レジスタ設定部にて、少なくとも上記入力画像データ信号の平均化処理を開始する主走査及び副走査座標の設定を受け、

平均化処理制御部にて、上記主走査及び副走査座標より上記入力画像データ信号の平均化処理を開始し、平均化処理された画像データ信号を出力し、

出力制御部にて、上記平均化された画像データ信号の入力を受け、出力画像データ信号として出力する。

1 3. Claim 1 2 の平均化処理方法において、

上記レジスタ設定部にて、入力画像データを平均化する単位である平均化ブロックのサイズに係る設定を受けた場合には、上記平均化処理制御部では、当該平均化ブロックに基づいて平均化処理を行う。

1 4. Claim 1 2 の平均化処理方法において、

上記レジスタ設定部にて、入力画像データを平均化する平均化ブロックのスケュー値の設定を受ける。

1 5. Claim 1 2 の平均化処理方法において、

上記平均化処理制御部では、入力画像データ信号の少なくとも上端、下端、右端、左端においては、所定の出力画像領域外処理を行う。

1 6. Claim 1 2 の平均化処理方法において、

上記メモリコントロール部では入力画像データ信号をライン遅延させた後、平均化処理制御部へと出力するよう制御する。

17. Claim 12の平均化処理方法において、

上記平均化処理制御部では、所定のモード信号により平均化処理の単位である平均化ブロックを設定する。

18. Claim 12の平均化処理方法において、

上記平均化処理制御部では、上記平均化ブロックのスキュー値によらず一定のタイミングで平均化処理を行うべく所定の遅延調整を行う。

19. 画像処理方法 comprising:

メモリコントロール部にて入力画像データ信号の入力を受け、

第1メモリにて上記入力画像データ信号を遅延処理した後に記憶し、

CPUにより、上記入力画像データ信号の平均化処理を開始する主走査及び副走査座標、平均化ブロックの主走査及び副走査サイズ、平均化ブロックの主走査及び副走査方向のスキュー値の少なくともいずれかを指示し、

レジスタ設定部にて、上記CPUにより指示された設定情報を保持し、

平均化処理制御にて、上記レジスタ設定部により保持された設定情報に基づいて、上記平均化ブロックのスキュー値によらず一定のタイミングで、上記入力画像データ信号の平均化処理を行い、平均化処理された画像データ信号を出力し、

第2メモリにて、上記平均化処理制御部からの平均化された画像データ信号の入力を受け、出力画像データ信号として保持し、

出力制御部にて、上記第2メモリの出力画像データを出力する。